

Éléments de correction des exercices non traités

Problème n°1 : Bilan de liaison pour un dispositif de vidéosurveillance

Q1 : Bluetooth & Wifi $\approx 2,4\text{GHz}$ **Q2** : $P = 1\text{mW} \cdot 10^{\frac{\text{PdBm}}{10}}$ donc $P=39,8\text{mW}$ **Q3** : $\lambda = \frac{c}{f} = 51,7\text{mm}$

Q4 : Il s'agit d'un rapport de puissance $G_E = G_R = 2$

Q5 : $P_R=29,8\text{pW}$ donc $P_{\text{RdBm}}=-75,2\text{dBm}$ L'équipement sélectionné convient donc à l'application car sa sensibilité minimale est inférieure à la puissance reçue.

Problème n°5 : Exercices d'application directe autour du bruit électrique

Q1 : $B_{\text{eff}} = \sqrt{4kTR \cdot B_{\text{eq}}} = 49,8\mu\text{V}$ **Q2** : $\text{PdBm} = 10 \cdot \log\left(\frac{U_{\text{eff}}^2}{R \cdot 1\text{mW}}\right) = 10 \cdot \log\left(\frac{4kT \cdot \text{ResBW}}{1\text{mW}}\right) = -107,8\text{dBm}$

Q3 : Le plancher de bruit se situe à -70dBm ce qui est un niveau très supérieur à celui du seul bruit thermique. Ce n'est donc pas le bruit dû à la résistance d'entrée et il s'agit du bruit interne dont on peut trouver le niveau

de densité spectrale en écrivant : $\text{PdBm} = 10 \cdot \log\left(\frac{D_o \cdot \text{ResBW}}{R \cdot 1\text{mW}}\right)$ soit $D_o = \frac{R \cdot 1\text{mW}}{\text{ResBW}} \cdot 10^{\frac{\text{PdBm}}{10}} = 5 \cdot 10^{-15} \text{V}^2/\text{Hz}$

Q4 : Pour un filtre de résolution 1kHz le plancher de bruit sera à -100dBm

Problème n°6 : Transmission numérique RS485

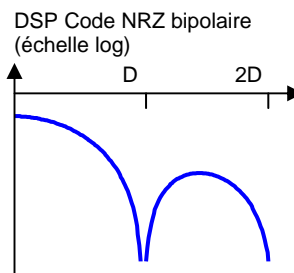
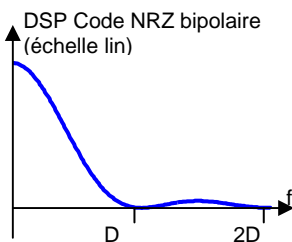
Q1 : Le chronogramme obtenu est le diagramme de l'oeil. Il s'agit d'une méthode rapide, simple et efficace qui permet de juger rapidement la qualité d'une transmission numérique. Si l'oeil est suffisamment ouvert on considère que la transmission numérique est correcte.

Q2 : Voir poly cours

Q3 : $D=2\text{Mbit/s}$ ce qui correspond à un temps bit $T_b=500\text{ns}$ ce qui correspond à 2 carreaux et demi sur le chronogramme.

Q4 : bit 0 : Niveau $-U$ / bit 1 : niveau $+U$. Ici $U=1\text{V}$

Q5 :



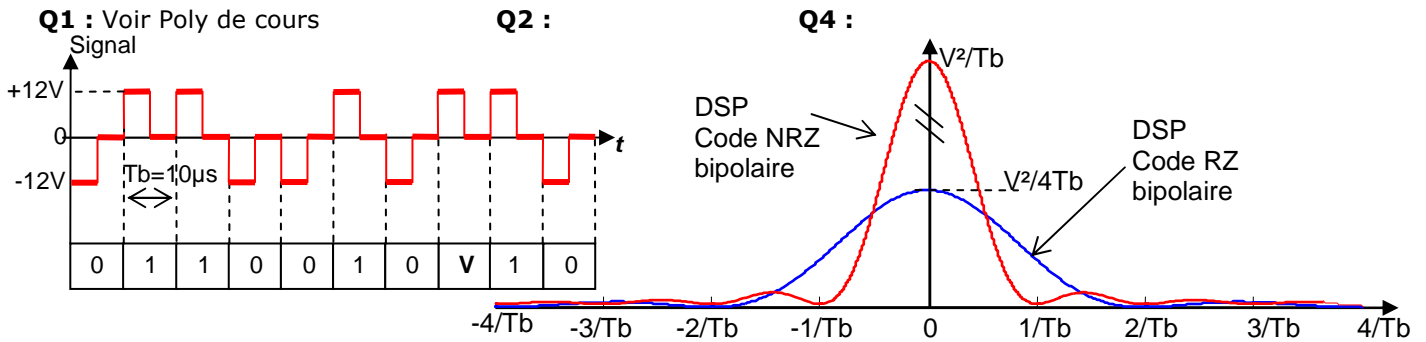
Q6 : $D_{\text{max}} = B_P \cdot \log_2\left(1 + \frac{S}{B}\right)$ D_{max} : Débit maximum (bit/s) B_P : Bande passante du canal de transmission

S/B : Rapport Signal sur Bruit = $S_{\text{eff}}^2/B_{\text{eff}}^2$

Q7 : Ici $S_{\text{eff}}=U=1\text{V}$ (RMS) donc $D_{\text{max}} = 1,4\text{MHz} \cdot \frac{\log\left(1 + \frac{(1\text{V})^2}{(50\text{mV})^2}\right)}{\log(2)}$ donc $D_{\text{max}}=12,1\text{Mbit/s}$

Q8 : $\frac{S}{B} = 2^{\frac{D_{\text{max}}}{B_P}} - 1$ donc $\frac{S}{B} = 1,69 = 2,28\text{dB}$

Problème n°7 : Bus ARINC 429



Q3 : Connaître l'occupation fréquentielle. La DSP traduit la répartition de la puissance d'un signal sur le plan fréquentiel.

Code RZ bipolaire : Occupation spectrale 2 fois plus grande que le code NRZ bipolaire mais il existe au moins une transition à chaque temps bit ce qui permet une meilleure récupération du rythme d'émission

Travaux Dirigés ETN S'4

TD N°2 : Transmission en modulation ASK/OOK



Chapitre 2 : Modulation numérique sur porteuse sinusoïdale S.POUJOULY <http://poujouly.net>

Exercices traités

Travaux Dirigés ETN S'4

TD N°3 : Transmission en modulation FSK & GFSK



Chapitre 2 : Modulation numérique sur porteuse sinusoïdale S.POUJOULY <http://poujouly.net>

Éléments de correction des exercices non traités

Problème n°3 : Mise en œuvre d'un circuit DDS

Q1 : DDS : Direct Digital Synthesis / Synthèse Numérique Directe

Q2 : Relation fondamentale : $F_{out} = F_{clk} \cdot \frac{M}{2^N}$ avec $N=28\text{bits}$ (taille de l'accumulateur)

Q3 : La relation précédente devient : $M = \frac{F_{out} \cdot 2^N}{F_{clk}}$

Donc $FREQ0 = \frac{1300 \cdot 2^{28}}{4 \cdot 10^6} = 87241,52$ en arrondissant à l'entier supérieur $FREQ0=00154CA$

Et $FREQ1 = \frac{2100 \cdot 2^{28}}{4 \cdot 10^6} = 140928,61$ en arrondissant à l'entier supérieur $FREQ1= 0022681$

Q4 : l'entrée FSELECT permet de choisir entre les 2 valeurs de l'accumulateur de phase et permet ainsi d'effectuer une modulation FSK. La donnée numérique à transmettre est donc connecté sur l'entrée FSELECT.

Q5 : Les entrées FSYNC, SCLK & SDATA composent le bus de communication série (SPI) qui permet d'assurer la configuration des différents registres du circuit AD9838.