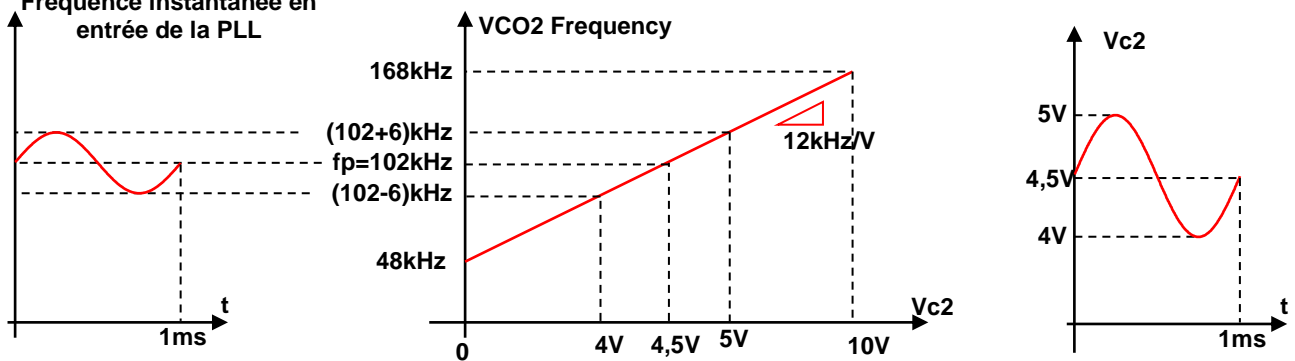


Exercice n°6 : Un essai de transmission audio par lumière

Q1 : Ce montage permet de passer d'un signal sinusoïdal à un signal carré compatible avec la porte logique XOR utilisée comme comparateur de phase. Voir poly de cours pour les explications sur le fonctionnement du montage.

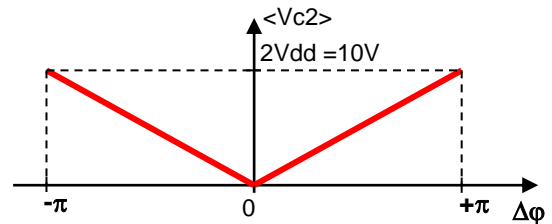
Q2 : Lorsque la PLL est verrouillée la fréquence en sortide du VCO évolue au même rythme que le signal modulé en entrée. En conséquence on retrouve en entrée du VCO l'allure du signal modulant au rapport d'amplitude prés.

Q3 : Fréquence instantanée en entrée de la PLL



Q4 : Le montage qui se trouve entre Vc1 et Vc2 est un amplificateur non inverseur dont le facteur d'amplification est de 2.

Q5 : Caractéristique de transfert du comparateur de phase de type OU-exclusif avec la sortie en Vc2

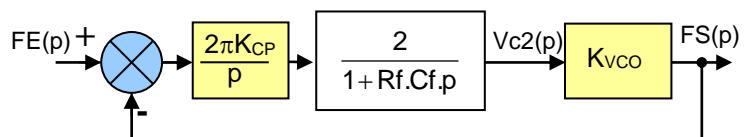


Q6 : Comme l'association comparateur de phase + filtre de boucle peut délivrer une tension comprise entre 0 et 10V, on peut déterminer la plage de suivi (maintien, verrouillage) de la PLL à partir de la caractéristique du VCO à savoir 48kHz - 168kHz.

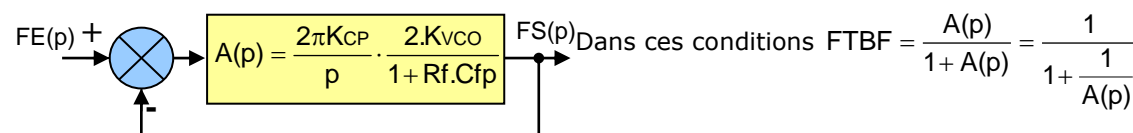
Q7 : Justification : voir Poly cours.

$K_{VCO} = 12\text{kHz/V}$

$K_{CP} = V_{dd}/\pi$ correspond au gain de conversion de la porte ou exclusif seule !



Q8 : Le schéma bloc peut se mettre sous la forme simplifiée suivante :



donc $FTBF = \frac{A(p)}{1 + A(p)} = \frac{1}{1 + \frac{p \cdot (1 + Rf.Cfp)}{2\pi K_{CP} \cdot 2 \cdot K_{VCO}}}$ donc $FTBF = \frac{1}{1 + \frac{p}{2\pi K_{CP} \cdot 2 \cdot K_{VCO}} + \frac{Rf.Cfp^2}{2\pi K_{CP} \cdot 2 \cdot K_{VCO}}}$ de la forme

$FTBF = \frac{1}{1 + \frac{p}{Q1 \cdot \omega01} + \left(\frac{p}{\omega01}\right)^2}$ avec $\omega01 = \sqrt{\frac{4\pi K_{CP} K_{VCO}}{Rf.Cf}}$ soit $f01 = \frac{1}{2\pi} \cdot \sqrt{\frac{4\pi K_{CP} K_{VCO}}{Rf.Cf}} = \frac{1}{\pi} \cdot \sqrt{\frac{V_{dd} \cdot K_{VCO}}{Rf.Cf}}$

et $\frac{1}{Q1 \cdot \omega01} = \frac{1}{4\pi K_{CP} K_{VCO}}$ soit $Q1 = \frac{4\pi K_{CP} K_{VCO}}{\omega01} = \sqrt{4\pi K_{CP} K_{VCO} Rf.Cf} = 2\sqrt{V_{dd} K_{VCO} Rf.Cf}$

Comme on fixe $Q_1=5,58$ alors $RfCf = \frac{Q_1^2}{4.V_{dd}.K_{VCO}}$ soit $RfCf=129,74\mu s$

on en déduit $f_{o1}=6,85kHz$ ce qui permet d'en déduire la fréquence du filtre $f_c=7,2kHz$. Cette fréquence est bien évidemment compatible avec la bande passante du signal modulant [100Hz - 7kHz].

Q10 : Comme $Rf=13k\Omega$ alors $Cf=10nF$

Afin de réaliser ce filtre, on propose le montage de la figure 4 ci-contre qui est une cellule de Sallen & Key. On donne la fonction de transfert du montage $T(j\omega) = \frac{1}{1 + 2jR.C_2.\omega + C_1.C_2.(jR\omega)^2}$

Q11 : la fonction de transfert du montage $T(j\omega) = \frac{1}{1 + 2jR.C_2.\omega + C_1.C_2.(jR\omega)^2}$ peut s'écrire sous la forme

$$FTBF = \frac{1}{1 + \frac{j\omega}{Q_2.\omega_0} + \left(\frac{j\omega}{\omega_0}\right)^2}$$

en sachant que l'on fixe $Q_2=1,07$ et $f_{o2}=0,44.f_c=3,17kHz$

Par identification $2RC_2 = \frac{1}{Q_2.\omega_0}$ donc $C_2 = \frac{1}{2R.Q_2.2\pi.f_{o2}} = 1,47nF$ (1,5nF)

$C_1.C_2.R^2 = \frac{1}{\omega_0^2}$ donc $C_1 \cdot \frac{1}{2R.Q_2.\omega_0} = \frac{1}{R^2.\omega_0^2}$ soit $C_1 = \frac{2.Q_2}{R.\omega_0} = \frac{Q_2}{R.\pi.f_{o2}} = 6,71nF$ (6,8nF)

Exercice n°7 : Un générateur RF synthétisé

Q1 Comme on suppose que les 2 PLL sont verrouillées alors

$$\frac{f_{clk}}{R_2} = \frac{f_{vco1}}{G \cdot N_1} \quad \text{et} \quad \frac{f_{clk}}{R_1} = \frac{f_{vco2}}{N_2}$$

donc $f_{vco1} = \frac{G \cdot N_1}{R_2} \cdot f_{clk}$ et $f_{vco2} = \frac{N_2}{R_1} \cdot f_{clk}$

En sortie du mélangeur on obtient la somme et la différence donc (en 11)

$$f_{smel} = \left(\frac{G \cdot N_1}{R_2} + \frac{N_2}{R_1} \right) f_{clk}$$

$f_{smel} = \left| \frac{G \cdot N_1}{R_2} - \frac{N_2}{R_1} \right| \cdot f_{clk}$ ← on ne garde que cette composante avec le filtre passe bas.

N_1	7	8	9
$\frac{G \cdot N_1}{R_2}$	112	128	144

N_2	0	320
$\frac{N_2}{R_1}$	96	112

$N_1=7$ $f_{smel} = \left(112 - \frac{1920 \cdot \omega}{20}\right) f_{clk} = \left(16 - \frac{\omega}{20}\right) \cdot f_{clk}$ $0 < f_{smel} < 32MHz$

$N_1=8$ $f_{smel} = \left(32 - \frac{\omega}{20}\right) \cdot f_{clk}$ $32MHz < f_{smel} < 64MHz$

$N_1=9$ $f_{smel} = \left(64 - \frac{\omega}{20}\right) \cdot f_{clk}$ $64MHz < f_{smel} < 96MHz$